

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

58-124273

(54) THIN FILM SILICON TRANSISTOR

(11) 58-124273 (A) (43) 23.7.1983 (19) JP

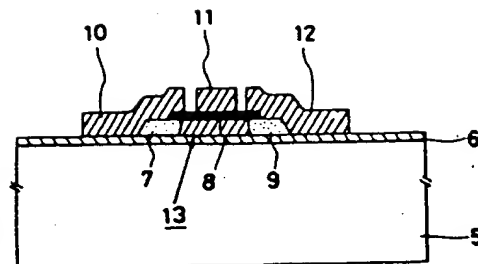
(21) Appl. No. 57-6105 (22) 20.1.1982

(71) NIPPON DENSHIN DENWA KOSHA (72) TAKASHI UMIGAMI(1)

(51) Int. Cl. H01L29/78//H01L27/12

PURPOSE: To reduce a threshold voltage and a leak current between a source and a drain and to obtain high mutual conductance due to the increase in carrier mobility, by providing a thin film of ZnS between a thin film of silicon and an amorphous insulating substrate.

CONSTITUTION: When the ZnS thin film 6 is provided between the silicon thin film 13 and the amorphous insulating substrate 5, an interface level due to lattice misalignment of the silicon thin film 13 and the ZnS thin film 6 becomes very small, and the effect of instability due to movable cation and the like can be eliminated. Meanwhile the interface level is present at the interface between the ZnS thin film 6 and the amorphous insulating substrate 5, but even though the charges are induced in the ZnS thin film due to the interface level, the mobility of said charges is very small and the movable charges are not obtained. Therefore, the back channel effect can be eliminated and the threshold voltage and the leak current between the source and the drain can be reduced.



257/66

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—124273

⑫ Int. Cl.³
H 01 L 29/78
// H 01 L 27/12

識別記号

庁内整理番号
7377—5F
8122—5F

⑬ 公開 昭和58年(1983)7月23日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ シリコン薄膜トランジスタ

⑮ 特 願 昭57—6105
⑯ 出 願 昭57(1982)1月20日
⑰ 発 明 者 海上隆
茨城県那珂郡東海村大字白方字
白根162番地日本電信電話公社

茨城電気通信研究所内
⑱ 発 明 者 辻山文治郎
茨城県那珂郡東海村大字白方字
白根162番地日本電信電話公社
茨城電気通信研究所内
⑲ 出 願 人 日本電信電話公社
⑳ 代 理 人 弁理士 高山敏夫 外1名

明 細 書

1. 発明の名称

シリコン薄膜トランジスタ

2. 特許請求の範囲

シリコン薄膜と非晶質絶縁基板との間に ZnS 薄膜を介在させたことを特徴とするシリコン薄膜トランジスタ。

3. 発明の詳細な説明

本発明は低閾値電圧および高相互コンダクタンスを有する高性能のシリコン薄膜トランジスタに関するものである。

従来、非晶質絶縁基板上のシリコン薄膜トランジスタは非晶質絶縁基板上に直接アモルファス状あるいは多結晶状のシリコン薄膜を堆積し、このアモルファス状あるいは多結晶状のシリコン薄膜を用いて製造されていた。また、1979年にグラフオエビタキシーと呼ばれる非晶質絶縁基板上にシリコン単結晶薄膜を成長できる方法が開発されたが、この方法についてもシリコン薄膜が直接、下地の非晶質絶縁基板に堆積されている。シリコ

ン薄膜と非晶質絶縁基板とが直接接触している構造におけるエネルギーバンド図を第1図に示す。ここで、1はゲート電極領域、2はゲート絶縁膜、3はシリコン薄膜領域、4は非晶質絶縁基板である。この場合、シリコン薄膜3と該基板4の界面での界面単位が数多く存在し、シリコン薄膜領域3と基板4の界面においてシリコン薄膜領域のバンドが界面単位の影響を受けてまがり、可動電子が誘起される現象、いわゆるバクテリヤン効果によつて薄膜トランジスタの閾値電圧が大きくなるとともにソース・ドレイン間のリーク電流が増加する。また、シリコン薄膜—基板間の界面特性の劣化に起因して薄膜トランジスタの素子耐圧が低下する。さらに、非晶質絶縁基板上のアモルファスシリコンあるいは多結晶シリコンにおいては、結晶性が低いことによるキャリア移動度の低下が見られ、薄膜トランジスタの相互コンダクタンスが高くないという欠点がある。一方、グラフオエビタキシー法においては、非晶質絶縁基板の表面に周期的な溝が存在することが必要であ

(1)

(2)

り、それらの溝に対応した凹凸がシリコン薄膜上に現われることと、レーザーアニール後の表面凹凸やキ裂の発生により薄膜トランジスタ特性の悪化や歩留りの低下をきたすという欠点があつた。

本発明は、これらの欠点を除去するためシリコン薄膜と非晶質絶縁基板との間にZnS薄膜を介在させることにより高性能のシリコン薄膜トランジスタを実現できる様にしたものである。

前記の目的を達成するため、本発明はシリコン薄膜と非晶質絶縁基板との間にZnS薄膜を介在させたことを特徴とするシリコン薄膜トランジスタを発明の要旨とするものである。

次に本発明の実施例を添付図面について説明する。なお実施例は一つの例示であつて、本発明の精神を逸脱しない範囲内で、種々の変更あるいは改良を行いうることは云うまでもない。

第2図は本発明の一実施例を示す。図において5は非晶質絶縁基板、6はZnS薄膜、7はソース領域、8はゲート絶縁膜、9はドレイン領域、10はソース電極、11はゲート電極、12はドレイン電極である。

(3)

の電荷の移動度は非常に小さく可動電荷とはならない。すなわち、ZnS薄膜の存在により、シリコン薄膜と非晶質絶縁基板間で問題となるバックチャネル効果を除くことができ、閾値電圧およびソース・ドレイン間のリーク電流を小さくすることが可能である。ここで、ZnS薄膜のバンドギャップは、3.54 eVと大きいことと、キャリア移動度が極めて小さいことから、シリコン薄膜トランジスタに対しては絶縁層と見なせる。

さらに、ZnS薄膜は非晶質絶縁基板上において<111>方向に配向し、かつシリコン結晶と格子定数が一致することから、ZnS薄膜上に通常の分子線エビタキシャル法やCVD法により単結晶シリコン薄膜の成長が可能であり、キャリア移動度が高く薄膜トランジスタとして高相互コンダクタンスとなる。また、シリコン薄膜とZnS薄膜間の界面特性の向上にともなつて、薄膜トランジスタの素子耐圧を増大させることができる。

尚第2図の実施例の構造を多層化できることは云うまでもない。この場合は1層目の構成と2層

(5)

目電極である。この構成によるエネルギーバンド図を第3図に示す。ここで、13はシリコン薄膜領域である。シリコン薄膜13と非晶質絶縁基板5との間にZnS薄膜6を設けることにより、非晶質絶縁基板側のシリコン薄膜領域13においてバンドのまがりは第3図のように、エネルギーの高い方へ傾き電子の誘起が抑制される。これは、シリコンとZnSの電子親和力がそれぞれ4.01 eV、3.9 eVであることと、シリコンとZnSのバンドギャップがそれぞれ1.1 eV、3.54 eVであることとの関係から求められる。さらに、シリコン結晶とZnS薄膜の格子定数はそれぞれ 3.569 \AA と 3.42 \AA であり、格子定数のずれは約0.2%程度であり、シリコン薄膜とZnS薄膜との格子不整合による界面単位が非常に小さくなる。また、非晶質絶縁膜で問題となる可動陽イオンによる不安定性などの影響も除去できる。

一方、ZnS薄膜と非晶質絶縁基板との界面においては界面単位が存在するが、この界面単位によりZnS薄膜中に電荷が誘起されてもZnS薄膜内で

(4)

目の構成との間に絶縁層を介在せしめるものである。

以上説明したように、シリコン薄膜と非晶質絶縁基板の間にZnS薄膜を介在させることにより、シリコン薄膜トランジスタの閾値電圧およびソース・ドレイン間のリーク電流を小さくできる。また、シリコン薄膜を単結晶化することが可能で、キャリア移動度の増大による高相互コンダクタンスのシリコン薄膜トランジスタを実現することができる。

4. 図面の簡単な説明

第1図は従来のシリコン薄膜と非晶質絶縁基板とが直接接触している構造におけるエネルギーバンド図、第2図は本発明の一実施例の断面図、第3図は本発明の構成によるエネルギーバンド図を示す。

1…ゲート電極領域、2…ゲート絶縁膜、3…シリコン薄膜領域、4…非晶質絶縁基板、5…非晶質絶縁基板、6…ZnS薄膜、7…ソース領域、8…ゲート絶縁膜、9…ドレイン領域、10…ソ

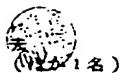
(6)

ース電極、11…ゲート電極、12…ドレイン電極、13…シリコン薄膜領域

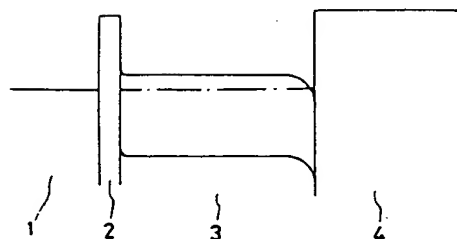
特許出願人

日本電信電話公社

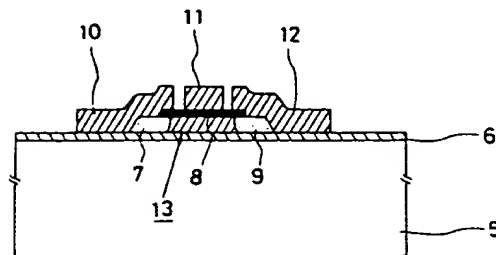
代理人 弁理士 高山 敏



第1図



第2図



(7)

手続補正書 (自発)

昭和57年3月25日

特許庁長官 島田 春樹 殿

1. 事件の表示

昭和57年特許願 第6105号

2. 発明の名称

シリコン薄膜トランジスタ

3. 補正をする者

事件との関係 特許出願人

名称 (422) 日本電信電話公社

4. 代理人

住所 〒160 東京都新宿区西新宿7丁目5番10号

第2ミゾビルディング7階

電話 (03) 365-1982

氏名 弁理士 (6108) 高山 敏

(ほか1名)

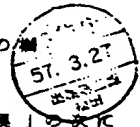
5. 補正の対象

明細書の「発明の詳細な説明」の欄

6. 補正の内容

明細書第3頁第18行目「ZnS薄膜」の次に

「(その厚さは0.1~1 μm が好ましい)」を挿入する。



第3図

